

Студијски програм: Електротехничко инжењерство			
Назив предмета: Дигитални системи у програмабилној логици			
Наставник:			
Статус предмета: Изборни			
Број ЕСПБ: 8			
Услов: Познавање основних појмова из области дигиталне електронике			
Циљ предмета: Стицање основних знања о основним елементима и пројектовању дигиталних система, тестирању и имплементацији у програмабилним логичким колима високог степена интеграције.			
Исход предмета: Оспособљеност за самостално пројектовање, симулацију рада и имплементацију дигиталних система у програмабилним логичким колима FPGA типа применом софтверских развојних алата.			
Садржај предмета			
<i>Теоријска настава</i>			
<ol style="list-style-type: none"> 1. Платформе за развој и имплементацију дигиталних система у програмабилном чипу. Типичне структуре конфигурабилних логичких блокова у FPGA колима. Софтверски развојни алати. 2. Пројектовање основних компонената регистарског нивоа апстракције (RTL). Креирање компонената дигиталног система применом VHDL језика. Тестирање симулацијом. 3. VHDL опис регистарских модула применом методе тока података. Пројектовање генератора импулсно-ширински модулисаних сигнала. 4. Пројектовање система за управљање саобраћајем на бази машине стања Милијевог типа. 5. VHDL опис FIFO бафера и меморијских модула. Меморије ROM и RAM типа. 6. Опис и имплементација стандардних интерфејса за пренос података. 7. Основе Verilog језика. Модул као основни градивни блок. Декларација портова. 8. Verilog опис модула са комбинационом и секвенцијалном логиком. Хијерархијски опис дизајна. 9. Verilog опис модула за дигиталну обраду сигнала. Примери дизајна дигиталних филтара. 10. Структурни опис дигиталног система. Компоненте, функције и процедуре. 11. Оптимизација заузећа логичких ресурса. Реализација дизајна применом мегафункција. 12. Опис и имплементација основне структуре 16-битног микропроцесорског система у FPGA колу. 13. IP Core софтверски модули за имплементацију сложених дигиталних система у FPGA колима. 14. Примери пројектовање и имплементација дигиталних система у FPGA SoC (System on Chip). 15. Закључна разматрања. Самовредновање, анализа предмета. 			
<i>Практична настава</i>			
Практична настава прати програм предавања.			
Литература:			
[1] V. Kovačević, <i>Logičko projektovanje računarskih sistema I - projektovanje digitalnih sistema</i> , FTN, Novi Sad, 2013.			
[2] D. Prokin, D. Todović, <i>Zbirka zadataka iz Programabilnih logičkih kola</i> , Akademska izdanja, Beograd, 2007.			
[3] J. Hamblen, T. Hall, M. Furman, <i>Rapid prototyping of digital systems</i> , Springer, 2006.			
[4] P. P. Chu, <i>RTL hardware design using VHDL</i> , John Wiley & Sons, Inc., 2006.			
[5] M. M. Mano, M. D. Ciletti, <i>Digital design with an introduction to the Verilog HDL</i> , Pearson, 2013.			
Број часова активне наставе:	Теоријска настава: 4	Практична настава: 3	
Методe извођења наставе:			
Настава је организована путем предавања, аудиторних и лабораторијских вежби.			
Оцена знања (максимални број поена 100)			
Предиспитне обавезе	поена	Завршни испит	поена
активност у току предавања	10	писмени испит	
практична настава	20	усмени испит	
колоквијум-и		испит на рачунару	30
семинар-и	40		